

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-249622

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133
G06F 3/147

(21)Application number : 10-049277

(71)Applicant : ADVANCED DISPLAY INC

(22)Date of filing : 02.03.1998

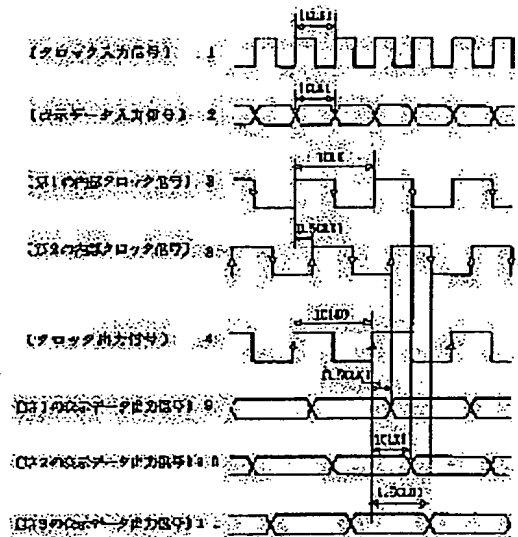
(72)Inventor : MATSUMURA TATSUYA

(54) LIQUID CRYSTAL DISPLAY DEVICE AND INTEGRATED CIRCUIT HAVING DATA OUTPUT PARTS FOR PLURAL PORTS

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce electromagnetic wave noises from an I/O signal part and unnecessary electromagnetic waves exerting adverse influence upon other devices or circuits by arranging the changed positions of a data output signal on mutually deviated positions during the one period of an internal clock signal.

SOLUTION: The period of a display data input signal 2 is the same as the period 1CLKI of a clock input signal 1 and the period of a display data output signal is the same as the period 1CLK of an internal clock signal 3 and the period 1CLKO of a clock output signal 4 and the sum of the periods 1CLK, 1CLKO is a time interval equivalent to 2CLKI. The edge of each of internal clock signals 3, 8 expresses the active edge of a latch circuit connected immediately before a display data output part in an integrated circuit and the edge of a clock output signal expresses the active edge of a latch circuit connected immediately after a display data input part of a source driver IC. For instance, simultaneous changed positions are divided into three positions so that a data output signal is delayed front the active edge of a clock output signal by the 0.5, 1 and 1.5 periods of the clock input signal.



LEGAL STATUS

[Date of request for examination]

21.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-249622

(43) 公開日 平成11年(1999)9月17日

(51) Int. Cl. °

識別記号

G 0 9 G 3/36

G 0 2 F 1/133

G 0 6 F 3/147

5 0 5

F I

G 0 9 G 3/36

G 0 2 F 1/133 5 0 5

G 0 6 F 3/147

L

審査請求 未請求 請求項の数 8

O L

(全 9 頁)

(21) 出願番号

特願平10-49277

(22) 出願日

平成10年(1998)3月2日

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ

熊本県菊池郡西合志町御代志997番地

(72) 発明者 松村 達也

熊本県菊池郡西合志町御代志997番地 株

式会社アドバンスト・ディスプレイ内

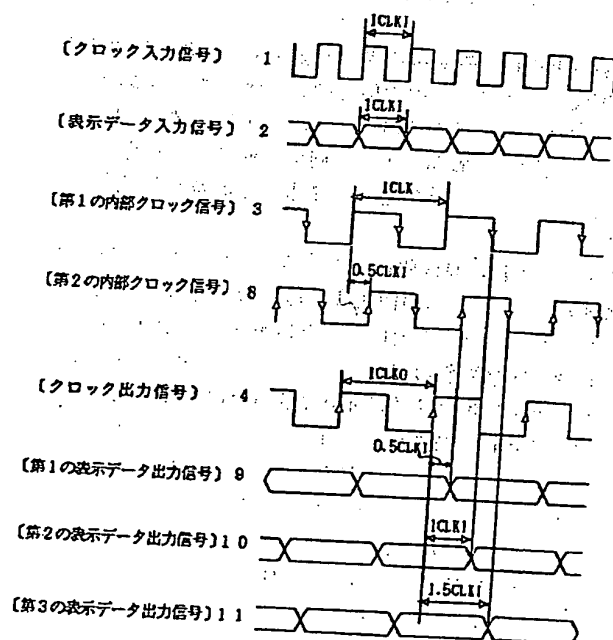
(74) 代理人 弁理士 大岩 増雄

(54) 【発明の名称】 液晶表示装置および複数ポートのデータ出力部を有する集積回路

(57) 【要約】

【課題】 入出力信号部での電磁波ノイズや他の装置や回路へ悪影響を与える不要電磁波を低減した高品質な液晶表示装置および複数ポートのデータ出力部を有する集積回路を提供する。

【解決手段】 データ入力信号2に対して複数ポートのデータ出力信号9、10、11を生成し、時間軸に対するデータ出力信号9、10、11の変化位置を、基準の内部クロック信号3の1周期の間において、互いにずれた位置に存在させて表示データ出力信号の同時変化数を減少させる回路構成とした。



【特許請求の範囲】

【請求項1】 データ入力信号に対して複数ポートのデータ出力信号を生成し、時間軸に対する上記データ出力信号の変化位置を、基準の内部クロック信号の1周期の間において、互いにずれた位置に存在させてデータ出力信号の同時変化数を減少させる回路構成としたことを特徴とする集積回路。

【請求項2】 時間軸に対するデータ出力信号の変化位置は、クロック出力信号のアクティブエッジから、それぞれデータ入力信号の0.5周期、1周期、1.5周期分遅延した位置に設定されていることを特徴とする請求項1記載の集積回路。

【請求項3】 時間軸に対するデータ出力信号の変化位置は、クロック出力信号のアクティブエッジから、それぞれデータ入力信号の半周期の任意の整数倍分互いにずれた位置に設定されていることを特徴とする請求項1記載の集積回路。

【請求項4】 時間軸に対するデータ出力信号の変化位置は、クロック出力信号のアクティブエッジから、それぞれデータ入力信号の半周期の任意の整数倍分およびデータ入力信号の半周期の任意の整数倍に遅延回路により生成された遅延時間を加えた分互いにずれた位置に設定されていることを特徴とする請求項1記載の集積回路。

【請求項5】 表示データ入力信号に対して複数ポートの表示データ出力信号を生成し、時間軸に対する表示データ出力信号の変化位置を、クロック出力信号またはクロック出力信号と同位相である基準の内部クロック信号の1周期の間において、互いにずれた位置に存在させて表示データ出力信号の同時変化数を減少させる回路構成とした集積回路を備えたことを特徴とする液晶表示装置。

【請求項6】 時間軸に対する表示データ出力信号の変化位置は、クロック出力信号のアクティブエッジから、それぞれクロック入力信号または表示データ入力信号の0.5周期、1周期、1.5周期分遅延した位置に設定されていることを特徴とする請求項5記載の液晶表示装置。

【請求項7】 時間軸に対する表示データ出力信号の変化位置は、クロック出力信号のアクティブエッジから、それぞれクロック入力信号または表示データ入力信号の半周期の任意の整数倍分互いにずれた位置に設定されていることを特徴とする請求項5記載の液晶表示装置。

【請求項8】 時間軸に対する表示データ出力信号の変化位置は、クロック出力信号のアクティブエッジから、それぞれクロック入力信号または表示データ入力信号の半周期の任意の整数倍分およびクロック入力信号または表示データ入力信号の半周期の任意の整数倍に遅延回路により生成された遅延時間を加えた分互いにずれた位置となるように設定されていることを特徴とする請求項5記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置および複数ポートのデータ出力部を有する集積回路に関するものである。

【0002】

【従来の技術】あるデータ入力信号に対して、データ出力信号の周波数を低くし、データ出力信号の総数を多くする方式を一般的に複数ポート出力と呼ぶ。例えば、データ出力信号の周波数がデータ入力信号の周波数の半分で、データ出力信号の総数がデータ入力信号の総数の2倍の場合には、2ポート出力と呼ばれる。

【0003】液晶表示装置中の電気回路構成において、表示データ入力信号に対して2ポートの表示データ出力信号を生成する集積回路を必要とする場合には、通常、集積回路内部における表示データ出力部直前のラッチ回路のクロック信号として使用する内部クロック信号は、クロック入力信号を入力とした2分周回路を経由してクロック入力信号の周波数に対して半分の周波数にして生成される。

【0004】出力部において、クロック出力信号は内部クロック信号の変化点と同位相で生成され、表示データ出力信号は、出力先のソースドライバIC中でラッチ動作するためのエッジであるクロック出力信号のアクティブエッジに対してクロック出力信号の半周期（“H”期間または“L”期間）分ずれて変化するように生成される。

【0005】このことは、表示データ出力信号が、回路内部における内部クロック信号でデータをラッチするためのエッジである1種類の内部クロック信号のアクティブエッジと同一位置で同時変化するように生成されることを意味する。

【0006】図8は、以上で説明した従来の2ポートの表示データ出力信号を生成する集積回路での入出力信号部の関係を電圧波形で表示した図で、図において、1はクロック入力信号、2は表示データ入力信号、3は内部クロック信号、4はクロック出力信号、5は表示データ出力信号である。表示データ入力信号2の周期はクロック入力信号1の周期1CLKIと同一で、表示データ出力信号5の周期は内部クロック信号3の周期1CLKおよびクロック出力信号4の周期1CLKOと同一で、1CLKは2CLKIと同等の時間幅、また、1CLKOは2CLKIと同等の時間幅であり、内部クロック信号3のエッジの矢印は、集積回路内部における表示データ出力部直前のラッチ回路のアクティブエッジ（図では立ち上がりエッジ）を表し、クロック出力信号4のエッジの矢印は、表示データ出力信号5の出力先であるソースドライバICにおける表示データ入力部直後のラッチ回路のアクティブエッジ（図では立ち上がりエッジ）を表している。

【0007】また、液晶表示装置に関わらず他の装置中の電気回路構成において、データ入力信号に対して2ポート以上存在する複数ポートのデータ出力信号を生成する集積回路を必要とする場合には、通常、先ほどと同様に集積回路内部での内部クロック信号は、分周回路を経由することにより、クロック入力信号の周波数に対して出力ポート数の整数倍した値の逆数の周波数にして生成される。

【0008】出力部において、データ出力信号は回路内部における1種類の内部クロック信号でデータをラッチするためのエッジである内部クロック信号のアクティブエッジと同一位置で同時変化するように生成される。

【0009】図9は、以上で説明した従来の2ポート以上存在する複数ポート（ n ポート： n は任意の整数）のデータ出力信号を生成する集積回路での入出力信号部の関係を電圧波形で表示した図で、図において、1はクロック入力信号、3は内部クロック信号、4はクロック出力信号、6はデータ入力信号、7はデータ出力信号である。データ入力信号6の周期はクロック入力信号1の周期1CLKIと同一で、データ出力信号7の周期は内部クロック信号3の周期1CLKおよびクロック出力信号4の周期1CKOと同一で、1CKOは n CLKIと同等の時間幅、また、1CKOは n CLKIと同等の時間幅であり、内部クロック信号3のエッジの矢印は、集積回路内部におけるデータ出力部直前のラッチ回路のアクティブエッジ（図では立ち下がりエッジ）を表し、クロック出力信号4のエッジの矢印は、データ出力信号の出力先におけるデータ入力部直後のラッチ回路のアクティブエッジ（図では立ち上がりエッジ）を表している。ただし、クロック入力信号1やクロック出力信号4が

【0010】

【発明が解決しようとする課題】以上のように、2ポート以上存在する複数ポートのデータ出力信号が、内部クロック信号の1周期の間に1種類の内部クロック信号に対して内部クロック信号でデータをラッチするためのエッジである内部クロック信号のアクティブエッジの同一位置となる1個所のみで変化すること、つまり、全てのデータ出力信号が時間軸に対して1個所のみで同時変化することにより、データ出力部の変化時に出力バッファから生じる瞬時電流が出力信号の数と共に時間軸に対して同一位置で重ね合わさって大きくなるために、それに起因した入出力信号部での電磁波ノイズや他の装置や回路への悪影響を与える不要電磁波（EMI）が増大してしまうという問題が生ずる。

【0011】この発明は、上記のような問題を解決し、入出力信号部での電磁波ノイズや他の装置や回路への悪影響を与える不要電磁波を低減した高品質な液晶表示装置および複数ポートのデータ出力部を有する集積回路を

提供することを目的とする。

【0012】

【課題を解決するための手段】この発明に係る集積回路は、データ入力信号に対して複数ポートのデータ出力信号を生成し、時間軸に対する上記データ出力信号の変化位置を、基準の内部クロック信号の1周期の間において、互いにずれた位置に存在させて表示データ出力信号の同時変化数を減少させる回路構成としたものである。

【0013】また、上記構成において、時間軸に対するデータ出力信号の変化位置を、クロック出力信号のアクティブエッジから、それぞれデータ入力信号の0.5周期、1周期、1.5周期分遅延した位置に設定したものである。

【0014】また、時間軸に対するデータ出力信号の変化位置を、クロック出力信号のアクティブエッジから、それぞれデータ入力信号の半周期の任意の整数倍分互いにずれた位置に設定したものである。

【0015】また、時間軸に対するデータ出力信号の変化位置を、クロック出力信号のアクティブエッジから、それぞれデータ入力信号の半周期の任意の整数倍分およびデータ入力信号の半周期の任意の整数倍に遅延回路により生成された遅延時間を加えた分互いにずれた位置に設定したものである。

【0016】この発明に係る液晶表示装置は、表示データ入力信号に対して複数ポートの表示データ出力信号を生成し、時間軸に対する表示データ出力信号の変化位置を、クロック出力信号またはクロック出力信号と同位相である基準の内部クロック信号の1周期の間において、互いにずれた位置に存在させて表示データ出力信号の同時変化数を減少させる回路構成とした集積回路を備えたものである。

【0017】また、上記構成において、時間軸に対する表示データ出力信号の変化位置を、クロック出力信号のアクティブエッジから、それぞれクロック入力信号または表示データ入力信号の0.5周期、1周期、1.5周期分遅延した位置に設定したものである。

【0018】また、時間軸に対する表示データ出力信号の変化位置を、クロック出力信号のアクティブエッジから、それぞれクロック入力信号または表示データ入力信号の半周期の任意の整数倍分互いにずれた位置に設定したものである。

【0019】また、時間軸に対する表示データ出力信号の変化位置を、クロック出力信号のアクティブエッジから、それぞれクロック入力信号または表示データ入力信号の半周期の任意の整数倍分およびクロック入力信号または表示データ入力信号の半周期の任意の整数倍に遅延回路により生成された遅延時間を加えた分互いにずれた位置となるように設定したものである。

【0020】

【発明の実施の形態】実施の形態1. 図1はこの発明の

実施の形態1に係る2ポートの表示データ出力信号を生成する集積回路での入出力信号部の関係を電圧波形で表示した図で、図において、1はクロック入力信号、2は表示データ入力信号、3は基準となる第1の内部クロック信号、4はクロック出力信号、8は第1の内部クロック信号3に対してクロック入力信号1の半周期（“H”期間または“L”期間）分の遅延を持たせた第2の内部クロック信号、9は、表示データ出力信号の出力先であるソースドライバIC中でラッチ動作するためのエッジであるクロック出力信号4のアクティブエッジに対してクロック入力信号1の0.5周期分の遅延を持たせた第1の表示データ出力信号、10は、表示データ出力信号の出力先であるソースドライバIC中でラッチ動作するためのエッジであるクロック出力信号4のアクティブエッジに対してクロック入力信号1の1周期分遅延を持たせた第2の表示データ出力信号、11は、表示データ出力信号の出力先であるソースドライバIC中でラッチ動作するためのエッジであるクロック出力信号4のアクティブエッジに対してクロック入力信号1の1.5周期分の遅延を持たせた第3の表示データ出力信号である。

【0021】表示データ入力信号2の周期はクロック入力信号1の周期1CLKIと同一で、表示データ出力信号の周期は内部クロック信号の周期1CLKおよびクロック出力信号4の周期1CLKOと同一で、1CLKは2CLKIと同等の時間幅で、1CLKOは2CLKIと同等の時間幅である。内部クロック信号3、8のエッジの矢印は集積回路内部における表示データ出力部直前のラッチ回路のアクティブエッジ（図では立ち上がりおよび立ち下がりエッジ）を表し、クロック出力信号4のエッジの矢印は表示データ出力信号の出力先であるソースドライバICにおける表示データ入力部直後のラッチ回路のアクティブエッジ（図では立ち上がりエッジ）を表している。

【0022】例えば、入力部では、クロック入力信号1を信号名CLKI、表示データ入力信号2を信号名RI[1:m]、GI[1:m]、BI[1:m]とし、出力部では、クロック出力信号4を信号名CLKO、mを任意の整数、第1の表示データ出力信号9を信号名RO1[1:m]、RO2[1:m]、第2の表示データ出力信号10を信号名GO1[1:m]、GO2[1:m]、第3の表示データ出力信号11を信号名BO1[1:m]、BO2[1:m]とし、RO1[1:m]とRO2[1:m]はRI[1:m]を2種類のデータに、GO1[1:m]とGO2[1:m]はGI[1:m]を2種類のデータに、BO1[1:m]とBO2[1:m]はBI[1:m]を2種類のデータに分割した信号であるとする、RO1[1:m]、RO2[1:m]とGO1[1:m]、GO2[1:m]とBO1[1:m]、BO2[1:m]は時間軸上のそれぞれ3種類の異なった位置で変化するように生成されるこ

とになる。

【0023】つまり、データ出力信号をクロック出力信号のアクティブエッジ（この場合は立ち上がりエッジ）に対してそれぞれクロック入力信号の0.5周期、1周期、1.5周期分の時間だけ遅れて変化するような同時変化位置を3個所に分割することにより、データ出力信号の同時変化数を減少させている。

【0024】図2は図1の出力信号を生成する回路構成例で、図において、12はラッチ回路、13はNOT回路、14は2本の点線内の一方を接続するポイントを意味し、入力部のクロック信号CLKO_inは図8におけるクロック出力信号4であり、入力部の表示データ信号RO1_in[1:m]、RO2_in[1:m]、GO1_in[1:m]、GO2_in[1:m]、BO1_in[1:m]、BO2_in[1:m]は図8における表示データ出力信号5であり、出力部のクロック信号CLKOと表示データ信号RO1[1:m]、RO2[1:m]とGO1[1:m]、GO2[1:m]とBO1[1:m]、BO2[1:m]はそれぞれ図1の4、9、10、11に対応する。

【0025】図3は図1の出力信号を生成する回路を機能ブロック毎に示した例で、図において、15は内部クロック信号生成部、16はクロック出力信号生成部、17はデータラッチ部であり、図2と対応させると、12a、12b、12cは15に、12dは16に、12e、12f、12gは17に対応し、入出力部の表示データ信号RO1_in[1:m]、RO2_in[1:m]、GO1_in[1:m]、GO2_in[1:m]、BO1_in[1:m]、BO2_in[1:m]、RO1[1:m]、RO2[1:m]、GO1[1:m]、GO2[1:m]、BO1[1:m]、BO2[1:m]での実線の本数は時間軸上での異なる変化位置の総数を示し、この図の場合、入力部では時間軸上での1種類の変化位置を、出力部では時間軸上での3種類の変化位置をそれぞれが示している。

【0026】この実施の形態1によれば、従来のものに比べて表示データ出力信号の同時変化数を最大で従来の1/3に減少させることが可能となり、この時の表示データ出力信号の変化時に生ずる出力バッファの瞬時電流に対するその時間での割合が従来の1/3程度に小さくなるために、それに起因した入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波（EMI）を低減した高品質な液晶表示装置が得られる。

【0027】また、図3で行った設定において、表示データ出力信号RO1[1:m]、GO1[1:m]、BO1[1:m]、RO2[1:m]、GO2[1:m]、BO2[1:m]の時間軸に対する異なる変化位置の分割方法や、3種類の変化位置から任意の2種類のみに変更した場合も、表示データ出力信号の同時変化数

が減少するために、表示データ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合が減少し、入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波を低減する効果が得られる。

【0028】実施の形態2. 図4は実施の形態2に係る出力信号を生成する回路構成で、図3の機能ブロック構成を改良して、データラッチ部の前後どちらか一方、または両方に、入力から出力まで経由する間に適当な遅延を生成する遅延回路部を付加した機能ブロック毎の構成を示した例で、図において、15は内部クロック信号生成部、16はクロック出力信号生成部、17はデータラッチ部、18は第1の遅延回路部、19は第2の遅延回路部である。

【0029】図4は、図3の回路構成により得られる時間軸に対する表示データ出力信号RO1[1:m]、RO2[1:m]、GO1[1:m]、GO2[1:m]、BO1[1:m]、BO2[1:m]の変化位置を、2倍である6個所の異なる変化位置をとるように記載しているが、実際には最大で表示データ出力信号数mの2倍の値と同等にできる可能性がある。

【0030】この実施の形態2によれば、従来に比べて表示データ出力信号の同時変化数を最大で従来の表示データ出力信号数の逆数倍に減少させることができる可能性があり、この時の表示データ出力信号の変化時に生ずる出力バッファの瞬時電流に対するその時間での割合が最大で従来の表示データ出力信号数の逆数倍程度小さくなるため、それに起因した入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波を低減する高品質な液晶表示装置が得られる。

【0031】また、図4で行った設定において、表示データ出力信号RO1[1:m]、GO1[1:m]、BO1[1:m]、RO2[1:m]、GO2[1:m]、BO2[1:m]の時間軸に対する異なる変化位置の分割方法や6種類の変化位置から任意の複数の変化位置に変更した場合も、表示データ出力信号の同時変化数が減少するため、表示データ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合が減少し、入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波を低減できる効果が得られる。

【0032】実施の形態3. 図5はこの発明の実施の形態3に係る2ポート以上存在する複数ポート(nポート:nは任意の整数)のデータ出力信号を生成する集積回路での入出力信号部の関係を電圧波形で表示した図で、図において、1はクロック入力信号、3は基準となる第1の内部クロック信号、4はクロック出力信号、6はデータ入力信号、20は第1の内部クロック信号3に対してクロック入力信号1の0.5周期分の遅延を持たせた第2の内部クロック信号、21はクロック出力信号

4のアクティブエッジに対してクロック入力信号1の0.5周期分の遅延を持たせた第1のデータ出力信号、22はクロック出力信号4のアクティブエッジに対してクロック入力信号1の(n/2)周期分の遅延を持たせた第2のデータ出力信号、23はクロック出力信号4のアクティブエッジに対してクロック入力信号1の(n/2)+0.5)周期分の遅延を持たせた第3のデータ出力信号であり、データ入力信号6の周期はクロック入力信号1の周期1CLKIの周期と同一で、データ出力信号の周期は内部クロック信号3の周期1CLKおよびクロック出力信号4の周期1CLKOと同一で、1CLKはnCLKIと同等の時間幅で、1CLKOはnCLKIと同等の時間幅であり、内部クロック信号のエッジの矢印は、集積回路内部におけるデータ出力部直前のラッチ回路のアクティブエッジ(図では立ち上がりおよび立ち下がりエッジ)を表し、クロック出力信号のエッジの矢印はデータ出力信号の出力先におけるデータ入力部直後のラッチ回路のアクティブエッジ(図では立ち上がりエッジ)を表す。ただし、クロック入力信号1やクロック出力信号4が入出力端子として設定されるとは限らないものとする。

【0033】図5では、第2の内部クロック信号20と同様な第1の内部クロック信号3に対して1の半周期の整数倍分の遅延を持たせた内部クロック信号の一部や、21、22、23と同様なクロック出力信号4のアクティブエッジに対してクロック入力信号1の半周期の整数倍分の遅延を持たせたデータ出力信号の一部は省略している。

【0034】入力部では、クロック入力信号1を信号名CLKI、m1、m2、...、mnを任意の整数、データ入力信号6を信号名DI(1)[1:m1]、DI(2)[0:m2]、...、DI(n)[1:mn]とし、出力部では、クロック出力信号4を信号名CLKO、第1のデータ出力信号21を信号名DO(1)[1:m1]、第2のデータ出力信号22を信号名DO(n/2)[1:m(n/2)]、第3のデータ出力信号23を信号名DO((n+1)/2)[1:m((n+1)/2)]とすると、DO(1)[1:m1]とDO(2)[1:m2]...と、DI(n)[1:mn]は時間軸上のそれぞれn種類の異なった位置で変化するように生成されることになる。

【0035】図6は図5の出力信号を生成する回路を機能ブロック毎に示した例で、図において、24は内部クロック信号生成部、25はクロック出力信号生成部、26はデータラッチ部であり、入力部のクロック信号CLKOinは図9におけるクロック出力信号4であり、入力部のデータ信号DO(1)in[1:m1]、DO(2)in[1:m2]、...、DO(n)in[1:mn]は図9におけるデータ出力信号7であり、出力部のクロック信号CLKOとデータ信号DO(1)

$[1:m1]$ と $DO(n/2)[1:m(n/2)]$ と $DO((n+1)/2)[1:m((n+1)/2)]$ はそれぞれ図5の4、21、22、23に対応する。

【0036】この実施の形態3によれば、従来のものに比べて表示データ出力信号の同時変化数を最大で従来の出力ポート数に1プラスした値の逆数倍に減少させることができる可能性があり、この時の表示データ出力信号の変化時に生ずる出力バッファの瞬時電流に対するその時間での割合が、最大で従来の出力ポート数に1プラスした値の逆数倍程度小さくなるために、それに起因した入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波を低減した高品質な液晶表示装置が得られる。

【0037】また、図6で行った設定において、データ出力信号 $DO(1)[1:m1]$ 、 $DO(2)[1:m2]$ 、 $\dots DO(n)[1:mn]$ の時間軸に対する異なる変化位置の分割方法や任意の複数の変化位置に変更した場合も、データ出力信号の同時変化数が減少するために、データ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合が減少し、入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波を低減する効果が得られる。

【0038】実施の形態4、図7は実施の形態4に係る出力信号を生成する回路構成で、図6の機能ブロック構成を改良してデータラッチ部の前後どちらか一方、または両方に入力から出力まで經由する間に適当な遅延を生成する遅延回路部を付加した構成を機能ブロック毎に示した例で、図において、24は内部クロック信号生成部、25はクロック出力信号生成部、26はデータラッチ部、27は第1の遅延回路部、28は第2の遅延回路部である。

【0039】図7では、図6の回路構成により得られる時間軸に対するデータ出力信号 $DO(1)[1:m1]$ 、 $DO(2)[1:m2]$ 、 $\dots DO(n)[1:mn]$ の変化位置が $((n+m1+m2+\dots+mn)/n)$ 倍になる、つまり、それぞれ $m1+m2+\dots+mn$ 個所（データ出力信号数）の異なる変化位置をとるように記載しているが、実際にはこの場合に最大としてデータ出力信号数の逆数倍、時間軸上の変化位置をとる可能性があることを示している。

【0040】この実施の形態4によれば、従来に比べてデータ出力信号の同時変化数を最大で従来のデータ出力信号数の逆数倍に減少させることができる可能性があり、この時のデータ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合を最大で従来のデータ出力信号数の逆数倍程度小さくできるために、それに起因した入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波を低減した高品質な液晶表示装置が得られる。

【0041】また、図7で行った設定において、データ

出力信号 $DO(1)[1:m1]$ 、 $DO(2)[1:m2]$ 、 $\dots DO(n)[1:mn]$ の時間軸に対する異なる変化位置の分割方法や任意の複数の変化位置に変更した場合も、データ出力信号の同時変化数が減少するために、データ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合が減少し、入出力信号部での電磁波ノイズや、他の装置や回路へ悪影響を与える不要電磁波を低減する効果が得られる。

【0042】

10 【発明の効果】以上のように、この発明によれば、入出力信号部での電磁波ノイズや他の装置や回路への悪影響を与える不要電磁波を低減した高品質な液晶表示装置および複数ポートのデータ出力部を有する集積回路を提供できる。

【0043】また、複数ポートのデータ出力信号を生成し、時間軸に対する表示データ出力信号の変化位置をクロック出力信号の1周期の間にクロック入力信号の0.5周期、1周期、1.5周期分となるような2箇所、または3箇所の複数箇所が存在させてデータ出力信号の同時変化数を減少させることにより、出力部のデータ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合を減少させてそれに起因した入出力信号部での電磁波ノイズや他の装置や回路へ悪影響を与える不要電磁波を低減できる。

【0044】また、複数ポートのデータ出力信号を生成し、時間軸に対するデータ出力信号の変化位置を基準の内部クロック信号の1周期の間にデータ入力信号の半周期の任意の整数倍分となるような複数箇所が存在させてデータ出力信号の同時変化数を減少させることにより、出力部のデータ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合を減少させてそれに起因した入出力信号部での電磁波ノイズや他の装置や回路へ悪影響を与える不要電磁波を低減できる。

【0045】また、複数ポートのデータ出力信号を生成し、時間軸に対するデータ出力信号の変化位置を基準の内部クロック信号の1周期の間にデータ入力信号の半周期の任意の整数倍分および半周期の任意の整数倍分に遅延回路により生成された遅延時間を加えた分となるような複数箇所が存在させてデータ出力信号の同時変化数を減少させることにより、出力部のデータ出力信号の変化時に生ずる出力バッファの全体の瞬時電流に対するその時間での割合を減少させてそれに起因した入出力信号部での電磁波ノイズや他の装置や回路へ悪影響を与える不要電磁波を低減できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係る液晶表示装置中における2ポートの表示データ出力信号を生成する集積回路での入出力信号部の関係を表した電圧波形図である。

50 【図2】 実施の形態1の表示データ出力信号を生成す

る集積回路における回路構成図である。

【図 3】 実施の形態 1 の表示データ出力信号を生成する集積回路における機能ブロック構成図である。

【図 4】 この発明の実施の形態 2 の表示データ出力信号を生成する集積回路における機能ブロック構成図である。

【図 5】 この発明の実施の形態 3 のデータ出力信号を生成する集積回路での入出力信号部の関係を表した電圧波形図である。

【図 6】 実施の形態 3 のデータ出力信号を生成する集積回路における機能ブロック構成図である。

【図 7】 この発明の実施の形態 4 のデータ出力信号を生成する集積回路における機能ブロック構成図である。

【図 8】 従来の液晶表示装置中における 2 ポートの表示データ出力信号を生成する集積回路での入出力信号部の関係を表した電圧波形図である。

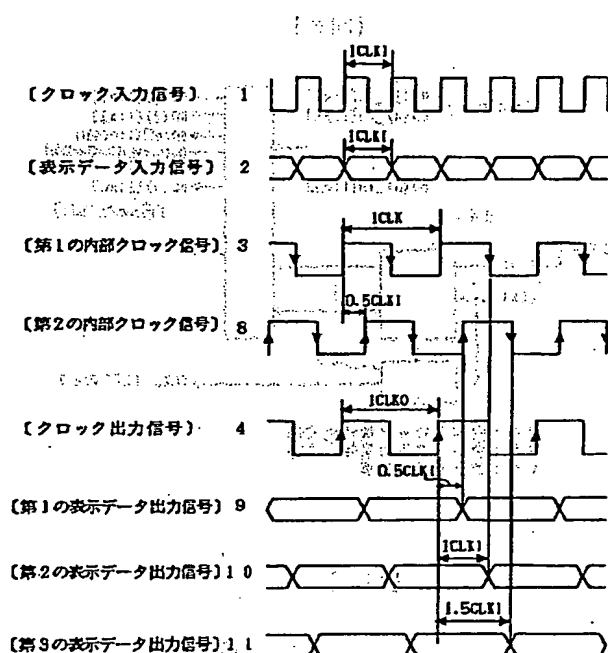
【図 9】 従来の複数ポートのデータ出力信号を生成する

る集積回路での入出力信号部の関係を表した電圧波形図である。

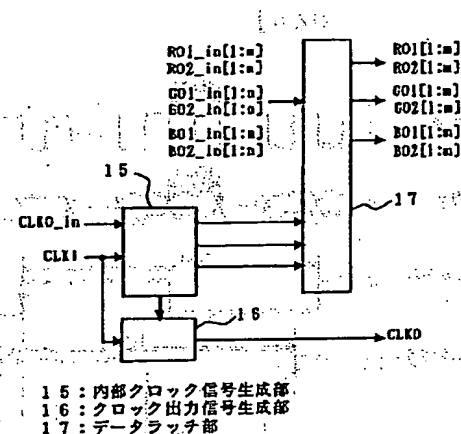
【符号の説明】

1 クロック入力信号、2 表示データ入力信号、3 第 1 の内部クロック信号、4 クロック出力信号、6 データ入力信号、7 データ出力信号、8 第 2 の内部クロック信号、9 第 1 の表示データ出力信号、10 第 2 の表示データ出力信号、11 第 3 の表示データ出力信号、12 ラッチ回路、13 NOT 回路、15 内部クロック信号生成部、16 クロック出力信号生成部、17 データラッチ部、18 第 1 の遅延回路部、19 第 2 の遅延回路部、20 第 2 の内部クロック信号、21 第 1 のデータ出力信号、22 第 2 のデータ出力信号、23 第 3 のデータ出力信号、24 内部クロック信号生成部、25 クロック出力信号生成部、26 データラッチ部、27 第 1 の遅延回路部、28 第 2 の遅延回路部。

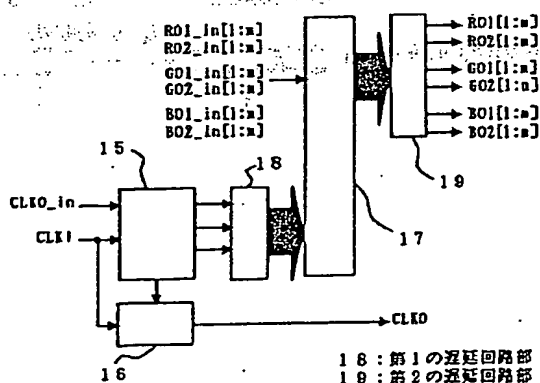
【図 1】



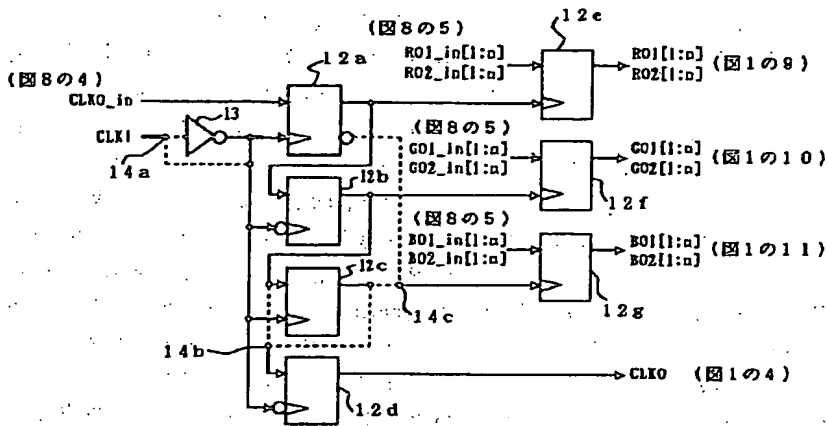
【図 3】



【図 4】

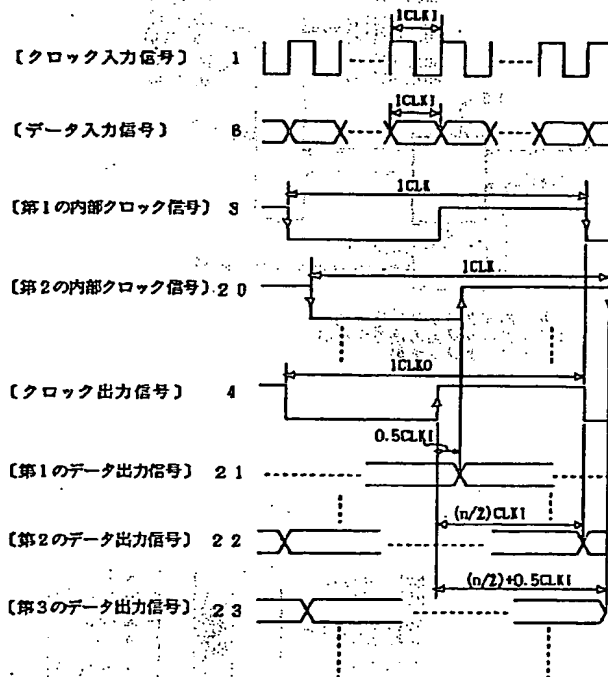


【図2】

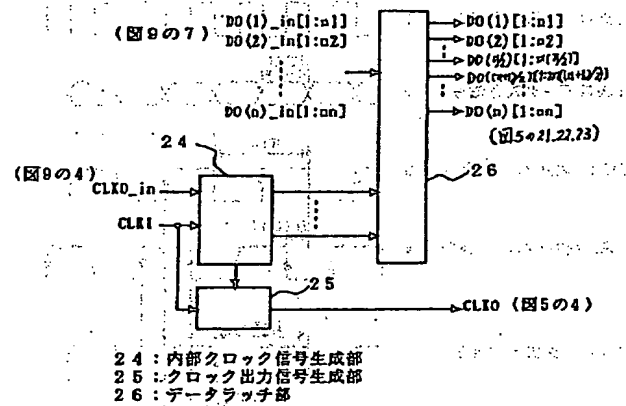


12a~12g:ラッチ回路
13:NOT回路

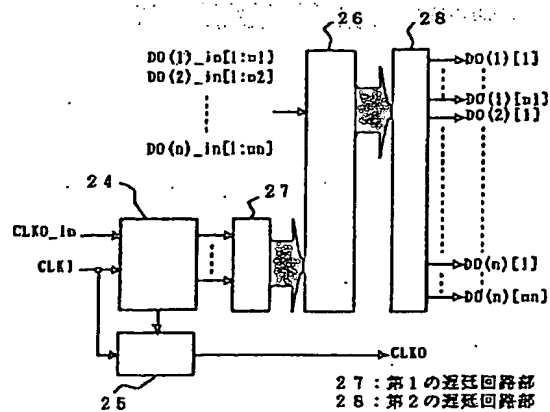
【図5】



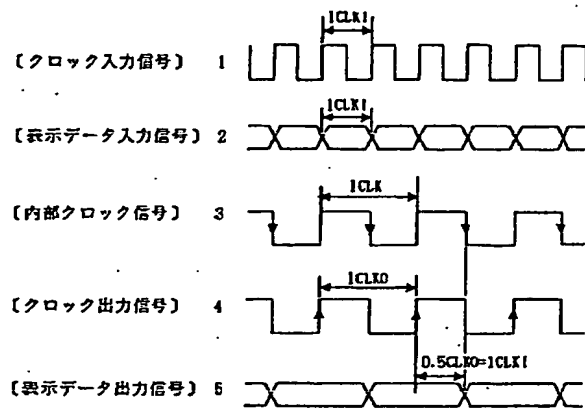
【図6】



【図7】



【図 8】



【図 9】

